

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-173471

(43)Date of publication of application : 26.07.1991

(51)Int.Cl.

H01L 27/118
H05K 3/00

(21)Application number : 01-312541

(71)Applicant : NEC CORP

HOKURIKU NIPPON DENKI
SOFTWARE KK

(22)Date of filing : 01.12.1989

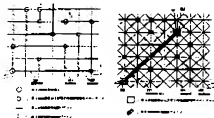
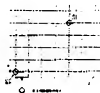
(72)Inventor : TAWADA SHIGEYOSHI
MIZUMAKI TOSHIHIRO

(54) WIRING STRUCTURE OF MASTER SLICE SYSTEM LSI

(57)Abstract:

PURPOSE: To comparatively easily adjust wiring length by arranging a first and a second wiring layer wherein a vertical and a horizontal wiring lattice are defined and a third wiring layer wherein a wiring lattice connecting diagonal lines of both lattices is defined.

CONSTITUTION: When both of the lattice intervals in the vertical and the horizontal directions are (d), the wiring length between the terminals t1 and t2 of a wiring network is shorter than or equal to 8d, in order to satisfy restrictions like the delay time of an LSI required for high speed operation. When wiring process is performed by using a first and a second wiring layer 2 in accordance with the order that the angle of the line connecting the terminals t1 and t2 is approximate to 0° or 90°, the wiring between the terminal t1 and t2 is detoured by wiring routes 101 and 102, and a wiring route 201 of a length 12d is obtained. On the other hand, by constituting an oblique wiring between the terminals t1 and t2 by using the layer 3, a wiring route 221 of a length $l=4.22/1d$ can be obtained as follows, the wiring routes 101 and 102 are not corrected, and through holes 231 and 232 between the first and the this wiring 1, 3 are arranged at the positions of the terminals t1 and t2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑤ 日本国特許庁(JP) ⑥ 特許出願公開
 ⑦ 公開特許公報(A) 平3-173471

⑧ Int. Cl.⁵ 識別記号 庁内整理番号 ⑨ 公開 平成3年(1991)7月26
 H 01 L 27/118
 H 05 K 3/00 D 6921-SF
 8225-SF H 01 L 21/82 M
 審査請求 未請求 請求項の数 1 (全4頁)

⑩ 発明の名称 マスタスライズ方式LSIの配線構造

⑪ 特 願 平1-312541

⑫ 出 願 平1(1989)12月1日

⑬ 発 明 者 多 和 田 茂 芳 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑭ 発 明 者 水 牧 俊 博 石川県石川郡鶴来町安養寺1番地 北陸日本電気ソフト
 エア株式会社内
 ⑮ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
 ⑯ 出 願 人 北陸日本電気ソフトウ 石川県石川郡鶴来町安養寺1番地
 エア株式会社
 ⑰ 代 理 人 弁理士 河原 純一

明 細 書

1. 発明の名称

マスタスライズ方式LSIの配線構造

2. 特許請求の範囲

垂直方向および水平方向の配線格子が定義された第1の配線層および第2の配線層と、

これら第1の配線層および第2の配線層に定義された垂直方向および水平方向の配線格子の各格子点の対角を結ぶ斜めの配線格子が定義された第3の配線層と

を有することを特徴とするマスタスライズ方式LSIの配線構造。

3. 発明の詳細な説明

(従来上の利用分野)

本発明はマスタスライズ方式LSIの配線構造に關し、特に配線工程以前のマスクを共通とし配線に関するマスクのみを品種ごとに設計製作してLSIを作成するマスタスライズ方式LSIの配

線構造、この種のマスタスライズ方式LSIの配線構造では、すべての配線層の配線格子が垂直方向および水平方向に定義されている(参考文献:「論理装置のCAD」、情報処理学会、昭和56年3月9日発行)。

い、第2図に示すように、垂直方向格子線幅および水平方向格子間隔をともにdとしたときに配線セットの幅子1)および幅子2)間の配線長が高速度動作を必要とするLSIの遅延時間等の制約を満足するためにd/4以内であるという制限がある場合を例にとって説明すると、幅子1)および幅子2)間を結ぶ直線の角度が0度または90度に近いものから順に第1の配線層1)および第2の配線層2)を隔てて配線する配線処理を行った結果、第3図に示すように、配線格幅1)0)と配線格幅1)0)とによって幅子1)および幅子2)間の配線が迂回せられ、配線長1)2)の配線格幅2)0)が得られたときに、従来のマスタスライズ

特開平3-173471(2)

線長第11および12を得ることにより、制御を待たず配線長64の配線経路211を得ていた。

(発明が解決しようとする課題)

上述した従来のマススライス方式しる1の配線経路では、高速動作を必要とするしる1の近接時間等の制約を満足するために設定された配線系に制約がある配線ネットの配線において配線処理後にその制約が満たされなかった場合に、制御を待たすようにするために他の配線を選択させて配線の修正を行う必要があったので、配線の修正に多大な工数を要するという欠点がある。

また、配線の修正を行っても配線長の制約を満たすことができなかった場合には、ブロックの配線修正等を行って配線処理をやり直す必要がある、さらに処理時間が増大するという欠点がある。

本発明の目的は、上述の欠点に鑑み、第1の配線層および第2の配線層に定義された垂直方向および水平方向の配線格子の各格子点の対角を結ぶための配線格子が定義された第3の配線層を利用

して、他の配線層を移動したブロックの配線位置を変更したりすることなしに、比較的時間的に配線長の調整を行うことができるマススライス方式しる1の配線経路を提供することにある。

(問題を解決するための手段)

本発明のマススライス方式しる1の配線経路では、垂直方向および水平方向の配線格子が定義された第1の配線層および第2の配線層と、これら垂直方向および水平方向の配線格子の各格子点の対角を結ぶための配線格子が定義された第3の配線層とを有する。

(作用)

本発明のマススライス方式しる1の配線経路では、第1の配線層および第2の配線層に垂直方向および水平方向の配線格子が定義され、第3の配線層に第1の配線層および第2の配線層に定義された垂直方向および水平方向の配線格子の各格子点の対角を結ぶための配線格子が定義される。

(実施例)

次に、本発明について図面を参照して詳細に説明する。

第1図は、本発明の一定路網に係るマススライス方式しる1の配線経路を示す図である。本実施例のマススライス方式しる1の配線経路は、垂直方向および水平方向の配線格子が定義された第1の配線層1および第2の配線層2と、第1の配線層1および第2の配線層2に定義された垂直方向および水平方向の配線格子の各格子点の対角を結ぶための配線格子が定義された第3の配線層3とから構成されている。

次に、このように構成された本実施例のマススライス方式しる1の配線経路における配線経路について、第2図～第4図を参照しながら具体的に説明する。

第2図に示すように、垂直方向格子上隣接および水平方向格子上隣接をともに4としたときに配線ネットの端子1および端子2間の配線長が高速動作を必要とするしる1の近接時間等の制約を満足するために84以内であるという制約がある場

合を例にとって説明すると、端子1および端子2間を結ぶ直線の角度が0度または90度に近いものから順に第1の配線層1および第2の配線層2を用いて配線する配線処理を行った結果、第3図に示すように、配線経路101と配線経路102とによって端子1および端子2間の配線が迂回せられ、配線長124の配線経路201が得られたときに、第4図に示すように、配線経路101および102を修正せずに、端子1および端子2の位置に第1の配線層1および第3の配線層3間のスルーホール203および203を設けて、端子1および端子2間を第3の配線層3を用いて斜めの配線を行うことにより、制約を満たす配線長

$$d = \sqrt{(4)^2 + (4)^2} \\ = \sqrt{2} \cdot d$$

の配線経路201を得ることができる。

(発明の効果)

以上説明したように本発明は、高速動作を必要とするしる1の近接時間等の制約を満足するため

特開平3-173471 (3)

に設定された配組長の制限に対して第1の配組層および第2の配組層を用いて配組処理を行った後に制限を溶かしていない配組を制限を廃たすようにするために第3層の配組層を利用することにより、他の配組を修飾したりブロックの配組位置を変更したりすることなしに、比較的容易に配組長の制限を行うこととなる特徴がある。

4. 図面の簡易な整理

第1図は本発明の一実施例に係るマスタスライ
ス方式のS1の配線構造を示す図。

第2図は配線ネットの端子ペアの一例を示す図。

第3図は第1の配線層および第2の配線層を用いた配線基板上の配線例を示す図。

第4図は第3図の配線図を用いて入平修正を行った後の配線図を示す図。

第5図は第1の配線圖および第2の配線圖を用いて人手修正を行った後の配線例を示す図である。図において、

1. 第 1 の配線図、
2. 第 2 の配線図、

・ ・ ・ 第 3 の配列順、

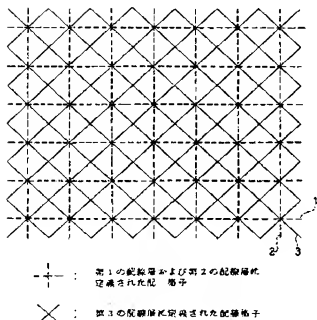
101. 102. 221. 監製經理。

231. 232. スルーホール、

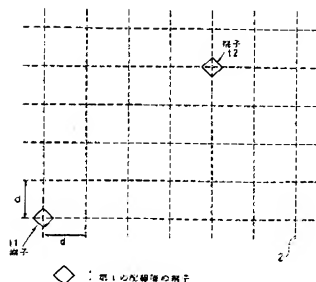
1.1, 1.2 - 種子である。

特許出願人 日 本 電 気 機 械 有 限 公 司
北陸日本電気ソフトウェア株式会社
代 理 人 青 島 十 何 國 銘 一

第 1 章

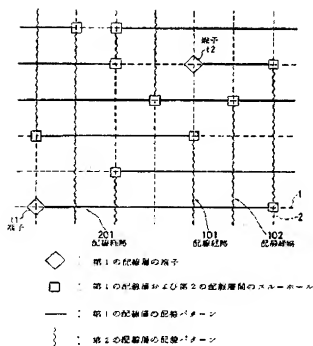


第 2 圖

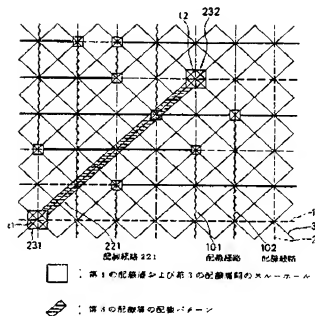


特開平3-173471 (4)

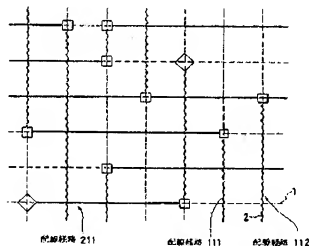
第 3 図



第 4 図



第 5 図



(19) Japanese Patent Office (JP)

(12) UNEXAMINED PATENT APPLICATION GAZETTE (A)

(11) Unexamined Patent Application Publication [KOKAI] No. H3-173471 [1991]

(43) KOKAI Date: July 26, 1991

(51) Int. Cl. ³	I.D. Symbol	Intern. Ref. No.
H 01 L 27/118	D	6921-5E
H 05 K 3/00		8225-5F
		H 01 L 21/82
		M

Examination Request Status: Not yet requested

Number of Claims: 1 (Total 4 pages [in orig.])

(54) Title of Invention

Master Slice LSI Wiring Structure

(21) Patent Application No. H1-312541 [1989]

(22) Filing Date: December 1, 1989

(72) Inventor Shigeyoshi Tawada
c/o NEC Corporation
5-33-1 Shiba, Minato-ku, Tokyo

(72) Inventor Toshihiro Mizumaki
c/o Hokuriku NEC Software, Ltd.
1 Anyoji, Tsurugi-cho, Ishikawa-gun, Ishikawa

(71) Applicant NEC Corporation
5-7-1 Shiba, Minato-ku, Tokyo

(71) Applicant Hokuriku NEC Software, Ltd.
1 Anyoji, Tsurugi-cho, Ishikawa-gun, Ishikawa

(74) **Agent** Junichi Kawahara, patent attorney

Specification

1. Title of Invention

Master Slice LSI Wiring Structure

2. Claims

A master slice LSI wiring structure comprising:

a first wiring layer and a second wiring layer for which vertical-direction and horizontal-direction wiring lattice members are defined; and

a third wiring layer for which diagonal wiring lattice members are defined which join diagonals of vertical-direction and horizontal-direction lattice points defined in said first wiring layer and second wiring layer.

3. Detailed Description of Invention

[Field of the Invention]

This invention concerns a master slice LSI wiring structure, and more particularly concerns a master slice LSI wiring structure for producing LSIs, wherewith, using common masks prior to the wiring step, only masks pertaining to the wiring are designed and fabricated individually for each product type.

[Prior Art]

Conventionally, in this type of master slice LSI wiring structure, all of the wiring lattice members in the wiring layers are defined in the vertical direction and horizontal direction (cf. "Ronri Sochi no CAD [Logic Device CADs]", Joho Shori Gakkai (Japan Society for Information Processing), March 20, 1981).

A case is now described wherein, as diagrammed in Fig. 2, when both the vertical direction lattice member interval and the horizontal direction lattice member interval are made d , and the wiring length between the terminals $t1$ and $t2$ in the wiring network is limited to $8d$ or less in order to satisfy restrictions such as the LSI delay time required for high-speed operation, as a result of implementing a wiring process that does the wiring using the first wiring layer 1 and the second wiring layer 2 sequentially from an angle of the straight line connecting the terminals $t1$ and $t2$ that is near either 0 or 90 degrees, the wiring between the terminals $t1$ and $t2$ is made circuitous by wiring paths 101 and 102, as diagrammed in Fig. 3, yielding the wiring path 201 having a wiring length of $12d$, whereupon, with the conventional master slice LSI wiring structure, as diagrammed in Fig. 5, the wiring paths 101 and 102 are altered manually to yield wiring paths 111 and 112, whereby the wiring path 211 having a wiring length of $8d$ which

satisfies the restriction is obtained.

[Problems Which the Present Invention Attempts to Solve]

With the conventional master slice LSI wiring structure described in the foregoing, if, after the wiring process in wiring a wiring net wherein a limitation is placed on the wiring length in order to satisfy a restriction such as the LSI delay time required for high-speed operation, that limitation has not been met, it is necessary to alter the wiring, moving other wiring, in order to satisfy the limitation. Many steps are required for such alteration, which constitutes a shortcoming.

Furthermore, in cases where the wiring length limitation cannot be met even after the wiring has been altered, it is necessary to redo the wiring process, performing block placement alterations, etc., resulting in a further increase in processing time, which is a shortcoming.

In view of these shortcomings, an object of the present invention is to provide a master slice LSI wiring structure wherewith, using a third wiring layer for which diagonal wiring lattice members are defined which join diagonals of vertical-direction and horizontal-direction lattice points defined by the first wiring layer and the second wiring layer, wiring lengths can be adjusted with comparative ease, without moving the other wiring or changing block placement positions.

[Means Used to Solve the Abovementioned Problems]

The master slice LSI wiring structure of the present invention comprises: a first wiring layer and a second wiring layer for which vertical-direction and horizontal-direction wiring lattice members are defined; and a third wiring layer for which diagonal wiring lattice members are defined which join diagonals of vertical-direction and horizontal-direction lattice points defined in the first wiring layer and second wiring layer.

[Operation]

In the master slice LSI wiring structure of the present invention, vertical direction and horizontal direction wiring lattice members are defined in the first wiring layer and the second wiring layer, and diagonal wiring lattice members are defined in the third wiring layer, which diagonal wiring lattice members join the diagonals of the lattice points of the horizontal direction and vertical direction wiring lattice members defined in the first wiring layer and the second wiring layer.

[Embodiments]

The present invention is now described in detail, making reference to the drawings.

Fig. 1 is a diagram of a master slice LSI wiring structure in one embodiment of the present invention. The master slice LSI wiring structure in this embodiment comprises: a first wiring layer and a second wiring layer 2 for which vertical-direction and horizontal-direction

wiring lattice members are defined; and a third wiring layer 3 for which diagonal wiring lattice members are defined which join diagonals of vertical-direction and horizontal-direction lattice points defined in the first wiring layer 1 and second wiring layer 2.

The process of implementing the wiring in the master slice LSI wiring structure in this embodiment, configured as stated, is now described specifically, with reference to Fig. 2 to 4.

The case is [again] described wherein, as diagrammed in Fig. 2, when both the vertical direction lattice member interval and the horizontal direction lattice member interval are made d , and the wiring length between the terminals $t1$ and $t2$ in the wiring network is limited to $8d$ or less in order to satisfy restrictions such as the LSI delay time required for high-speed operation, as a result of implementing a wiring process that does the wiring using the first wiring layer 1 and the second wiring layer 2 sequentially from an angle of the straight line connecting the terminals $t1$ and $t2$ that is near either 0 or 90 degrees, the wiring between the terminals $t1$ and $t2$ is made circuitous by wiring paths 101 and 102, as diagrammed in Fig. 3, yielding the wiring path 201 having a wiring length of $12d$, whereupon, as diagrammed in Fig. 4, without altering the wiring paths 101 and 102, through holes 231 and 232 are opened between the first wiring layer 1 and the third wiring layer 3 at the positions of the terminals $t1$ and $t2$, [respectively,] and diagonal wiring is implemented between terminal $t1$ and terminal $t2$ using the third wiring layer 3, thereby obtaining a wiring path 221 having a wiring length equal to

$$L = \sqrt{(4d)^2 + (4d)^2} \\ = 4\sqrt{2}d$$

which meets the limitation.

[Benefits of Invention]

After wiring processing has been performed using a first wiring layer and a second wiring layer, and there exists wiring that does not meet a wiring length limitation established to satisfy a restriction such as an LSI delay time required for high-speed operation, the present invention, as described in the foregoing, employs a third wiring layer to make that wiring meet that limitation, thereby making it possible to adjust wiring lengths with comparative ease without moving the other wiring or altering block placement positions.

4. Brief Description of Drawings

Fig. 1 is a diagram of a master slice LSI wiring structure in one embodiment of the present invention;

Fig. 2 is a diagram of one example of a pair of terminals in a wiring network;

Fig. 3 is a diagram of an example of wiring after the implementation of a wiring process using a first wiring layer and a second wiring layer;

Fig. 4 is a diagram of an example of wiring after a manual alteration using a third wiring

layer; and

Fig. 5 is a diagram of an example of wiring after performing a manual alteration using a first wiring layer and a second wiring layer.

The following reference characters are used in the drawings.

- 1 First wiring layer
- 2 Second wiring layer
- 3 Third wiring layer
- 101, 102, 221 Wiring paths
- 231, 232 Through holes
- t1, t2 Terminals

Patent Applicants	NEC Corporation
	Hokuriku NEC Software, Ltd.
Agent	Junichi Kawahara, patent attorney

Figure 1

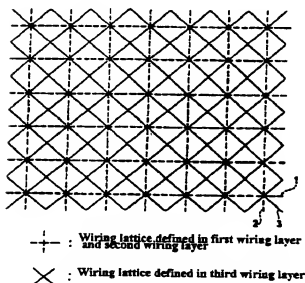


Figure 2

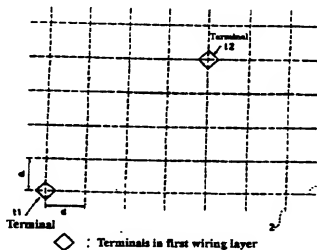


Figure 3

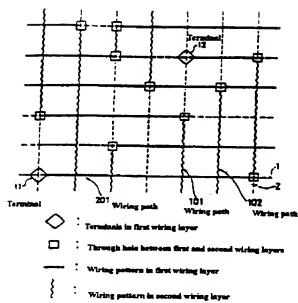
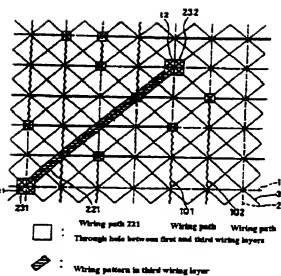


Figure 4



[Translator's Notes]

1. The original term koushi, usually translated "lattice" (and sometimes "grating" or "grid") is herein translated "lattice member" because the English word "lattice" refers to the entire lattice and never to its constituent elements or "members" as is apparently intended here.
2. The term haisen, as used in microchip technology, may also be translated "interconnect," but is translated by the more common "wiring" herein to avoid confusion.
3. The original language [A] ni teigi sareta [B], which occurs frequently in the text, is ambiguous. I have translated it "B defined in A," but it could also mean "B defined by A."